ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ АВТОНОМНОЕ ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ

**«САНКТ-ПЕТЕРБУРГСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ ПЕТРА ВЕЛИКОГО»**

Институт компьютерных наук и технологий

Высшая школа интеллектуальных систем и суперкомпьютерных технологий

**Лабораторная работа №1**

**Знакомство с пакетом Quartus Prime**

по дисциплине «Технологии проектирования аппаратных средств компьютерных систем»

Выполнил:

студент группы 3540901/02001

Бараев Д. Р.

Проверил:

А. П. Антонов

Санкт-Петербург 2020

**Содержание**

[Список иллюстраций 3](#_Toc56459397)

[Упражнение 1 4](#_Toc56459398)

[1. Введение 4](#_Toc56459399)

[1.1 Цель работы 4](#_Toc56459400)

[1.2 Алгоритм работы проекта 4](#_Toc56459401)

[2. Анализ описания проекта 5](#_Toc56459402)

[3. Анализ назначения выводов СБИС 6](#_Toc56459403)

[4. Компиляция проекта 7](#_Toc56459404)

[Вывод 7](#_Toc56459405)

# Список иллюстраций

[Рисунок 1 - Структура проекта 4](#_Toc56459319)

[Рисунок 2 - Схемный редактор пакета 5](#_Toc56459320)

[Рисунок 3 - Раздел Pin & Location Assignments 6](#_Toc56459321)

[Рисунок 4 - Раздел Fitter Assignments 6](#_Toc56459322)

[Рисунок 5 - Запуск полной компиляции проекта 7](#_Toc56459323)

# Упражнение 1

# Введение

1.1 Цель работы

Самостоятельно пройти цикл проектирования в рамках пакета Quartus, включая следующие этапы:

* Создание проекта
* Анализ описания проекта (ввод описания проекта выполнен заранее)
* Анализ назначения выводов СБИС (опции компилятора и выводы СБИС для платы miniDiLaB-CIV уже назначены и хранятся в файле lab1.qsf)
* Компиляция проекта
* Конфигурирование СБИС и проверка проекта на плате

**Рабочая папка проекта (…\lab1 ) содержит:**

* схему верхнего уровня в иерархии проекта – файл lab1.bdf

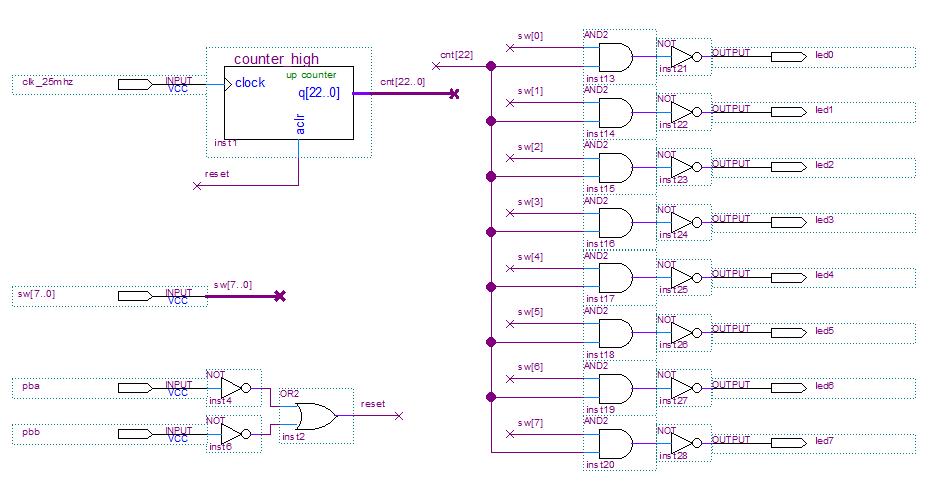


Рисунок 1 - Структура проекта

* Файл с описанием конфигурируемого счетчика - counter\_high.tdf
* Файл с символом счетика - counter\_high.bsf
* Файл с настройками проекта –lab1.qsf

# 1.2 Алгоритм работы проекта

Данный проект обеспечивает:

* деление частоты 25Mhz на счетчике частоты (деление на 25Mhz на 2\*\*23);
* включение (активный уровень – логический нуль)/выключение светодиодов старшим разрядом счетчика-делителя;
* разрешение (активный уровень – логическая единица)/запрещение работы каждого светодиода led[7..0] сигналом от соответствующего переключателя – sw[7..0];
* сброс счетчика при нажатии на кнопку pba или pbb

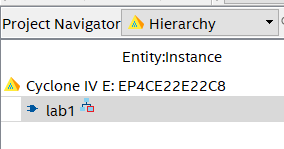
Имя проекта – lab1; имя сущности верхнего уровня – lab1

# Анализ описания проекта

Реализуемый проект иерархический, его описание содержит модуль верхнего уровня иерархии, созданный в схемном редакторе пакета, и модуль нижнего уровня иерархии – счетчик-делитель, созданный с использованием помощника “MegaWizard Plug-In Manager”

1. Откройте модуль верхнего уровня иерархии, представленный в файле lab1.bdf:

* На панели инструментов пакета включите (если он не был включен) навигатор проекта - **Project Navigator**
* в окне иерархического отображения проекта – **Project** **Navigator**, переключитесь на закладку **Hierarchy** и дважды щелкните левой клавишей мыши в поле **lab1**



Откроется окно схемного редактора пакета, в котором будет представлена схема модуля верхнего уровня в иерархии проекта, приведенная ниже.

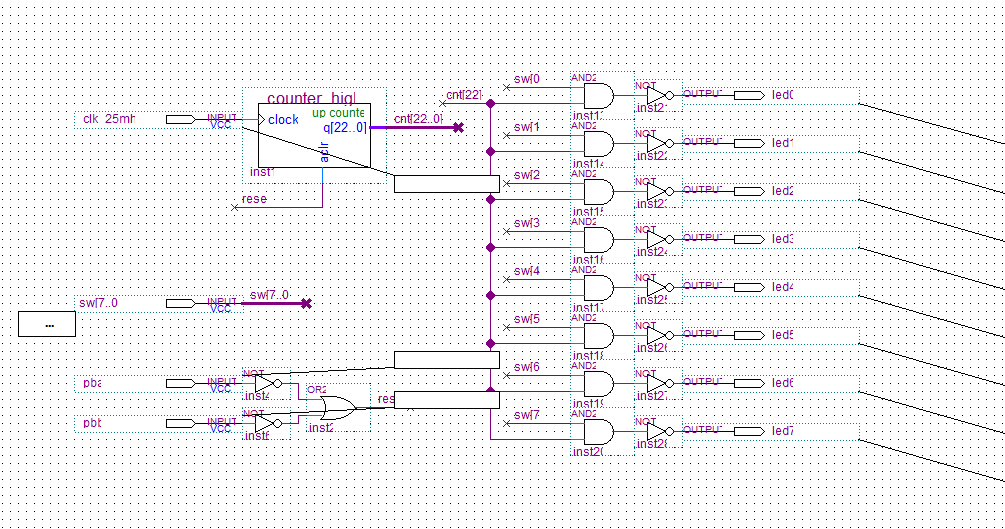


Рисунок 2 - Схемный редактор пакета

# Анализ назначения выводов СБИС

Назначение опций компилятора (практически все опции имеют значения по умолчанию) и номеров выводов СБИС для платы miniDiLaB-CIV выполнены для Вас и хранятся в файле **lab1.qsf.**

Раздел Pin & Location Assignments файла, содержащий привязку выводов проекта к выводам микросхемы EP4C6E22C8, приведен ниже:

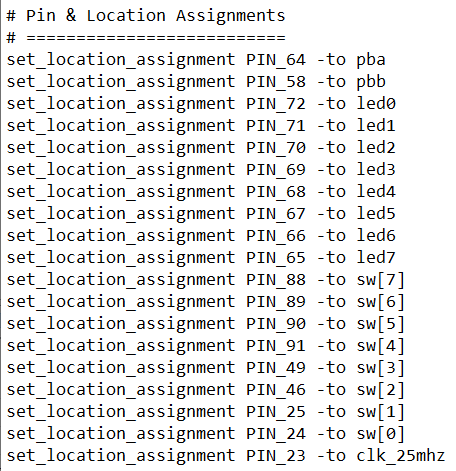


Рисунок 3 - Раздел Pin & Location Assignments

Часть раздела Fitter Assignments, в которой задаются:

* режим работы не использованных выводов СБИС: как входы с pull-up резистором
* стандарт сигнала для каждого входа/выхода

приведена ниже:

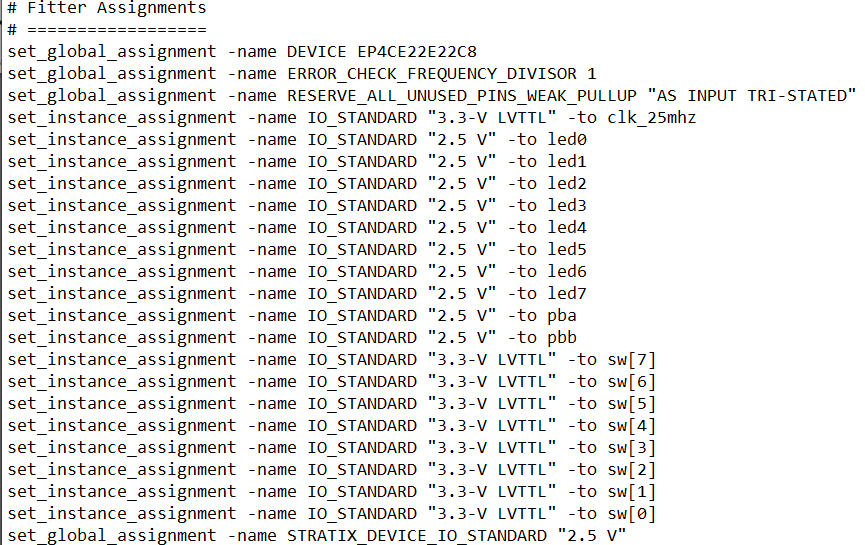


Рисунок 4 - Раздел Fitter Assignments

# Компиляция проекта

1. В окне задач (Tasks) выберите процедуру Full Design и двойным щелчком левой клавиши мыши по команде Compile Design запустите полную компиляцию проекта.

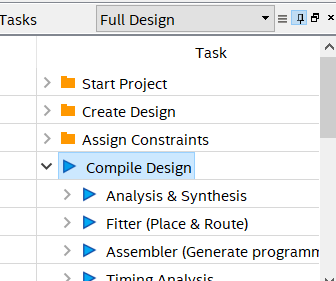


Рисунок 5 - Запуск полной компиляции проекта

1. Окно задач (Tasks) будет отображать ход выполнения процедуры компиляции.

В процессе полной компиляции проекта осуществляется:

* проверка синтаксиса,
* синтез с оптимизацией занимаемой площади и быстродействия проекта,
* трассировка и СБИС с оптимизацией занимаемой площади и быстродействия проекта,
* получение файла для конфигурирования СБИС – pof(sof) файл,
* получение модели с временными параметрами реализованной СБИС,
* временной анализ,
* Формирования файла с детальным отчетом обо всех этапах компиляции проекта.

1. При успешном завершении процедуры компиляции Вы получите сообщение (возможно наличие нескольких предупреждений).

# Вывод

В ходе данной лабораторной работы был создан проект в Quartus Prime, произведен анализ описания проекта и назначения выводов СБИС, произведена компиляция проекта.